

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-240615
(43)Date of publication of application : 06.10.1988

(51)Int.CI. G06F 3/08
G06F 3/00
G06K 17/00

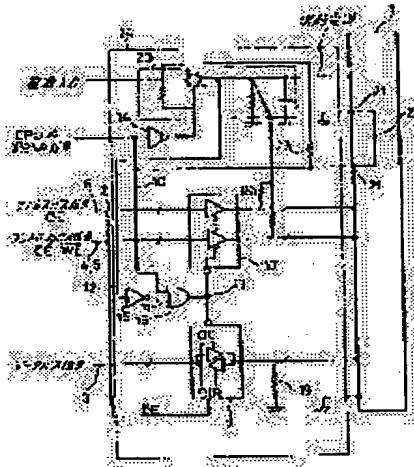
(21)Application number : 62-075695 (71)Applicant : MITSUBISHI ELECTRIC CORP
(22)Date of filing : 27.03.1987 (72)Inventor : KIMURA MASATOSHI

(54) INTERFACE CIRCUIT

(57)Abstract:

PURPOSE: To avoid the erroneous writing of a memory circuit as well as the breakdown of an internal semiconductor by turning on a power supply circuit and then a three-state buffer when a memory circuit is inserted and turning off the three-state buffer and then the power supply circuit when the memory circuit is pulled out respectively.

CONSTITUTION: When a memory card 1 is connected to a terminal of an interface 24 set at the equipment side, two terminals of a short pin terminal 21 are connected to each other and a put-in/put-out signal 10 is set at an earth potential for the first time. Thus, the output side of a buffer 14 is set at 'L' and a power supply circuit 20 works. Then, the power supply input of the circuit 20 serves as the power supply for the card 1 via a transistor Trs. The power supplied to the card 1 is applied to an input terminal of an OR circuit 16 via an inverting circuit 15 as a power supply ON signal 12. At the same time, the signal 10 is sent to the other input terminal of the circuit 16 and the output 13 of the circuit 16 is set at 'L' to turn on a unidirectional buffer 17 and a bidirectional buffer 7. When the card 1 is pulled out, a three-state buffer and then the circuit 20 are turned off.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A)

昭63-240615

⑬ Int.Cl. 1

G 06 F 3/08

3/00

G 06 K 17/00

識別記号

府内整理番号

C-6711-5B

7230-5B

C-6711-5B

⑭ 公開 昭和63年(1988)10月6日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 インターフェイス回路

⑯ 特願 昭62-75695

⑰ 出願 昭62(1987)3月27日

⑱ 発明者 木村 正俊

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹
製作所内

⑲ 出願人 三菱電機株式会社

東京都千代田区丸の内2丁目2番3号

⑳ 代理人 弁理士 早瀬 憲一

明細書

1. 発明の名称

インターフェイス回路

2. 特許請求の範囲

(1) メモリカードまたはI Cカードと機器間のインターフェイス回路において、

上記カードへの供給電源をオン／オフできる電源回路と、

上記カードへの全バス信号をオン／オフできる單方向及び双方向の3ステートバッファと、

上記カードの挿入又は抜取を検知する挿抜検知信号ラインを上記カードの挿入時にブルダウンし上記カードの抜取時にブルアップする挿抜検知信号作成手段と、

上記挿抜検知信号がブルダウン又はブルアップされた時一定時間経過後に上記電源回路をオン又はオフさせる信号を出力するバッファと、

反転遷延回路を経た上記電源回路の出力と上記挿抜検知信号のいずれか一方がハイレベルの時上記單方向及び双方向の3ステートバッファをオフ

する論理手段とを備えたことを特徴とするインターフェイス回路。

3. 発明の詳細な説明

(産業上の利用分野)

メモリカードまたはI Cカードと機器間のインターフェイス回路に関するものである。

(従来の技術)

第2図は従来のメモリカードと機器間のインターフェイス回路を示す回路図であり、図において9はインターフェイス回路であり、メモリカード1とはアドレスバス信号2、データバス信号3、及びコントロールバスであるチップイネーブル信号4、ライトイネーブル信号5、アウトプットイネーブル信号6にてインターフェイスする。7はデータバスをリード／ライトする3ステートの双方向バッファである。該インターフェイス回路9は機器がメモリカード1をアクセスしない時通常はブルアップ抵抗8で“H”レベルにブルアップする。

次に動作について説明する。第2図のインター

フェイス回路9はメモリカード1をアクセスする基本回路として周知の技術である。メモリカード1に内蔵するメモリとの基本タイミングはメモリ単体のタイミングと同一であり公的に周知の技術であり詳細説明は省く。メモリカード1が機器側のコネクタと接続されている状態においては第2回のインターフェイス回路9で上記周知の基本タイミングで作動する。

今上記メモリカード1と機器側がインターフェイス回路9を介して接続状態にあり、メモリカード1をアクセス中またはアクセス休止中（ただしメモリカード1、インターフェイス回路9は活性状態、電源は印加状態にある。）にある状態でメモリカード1をコネクタより抜いた場合に電源を含む全バス信号は必ずチャタリングを発生する。第3図はCE、WE端子等のチャタリングの様子を示すタイミング図である。

すなわちこのチャタリングによってメモリカード1のライト条件を満足するためそのライト条件を満足するタイミングに合致したアドレスバスに

合致したデータバスを誤書き込みをする。上記チャタリングはメモリカード1をコネクタに挿入する場合にも発生する。メモリカード1はインターフェイス回路9の活性状態で押抜することが多々ありこの種の誤書き込みの防止は従来のインターフェイス回路9では不可能である。

ここでメモリカード1とインターフェイス回路9を結合する方法として一般的にカードエッジコネクタによる方法、2ピースコネクタによる方法及びZIF（ゼロインサーションホース）による方法があるがいずれにしても上記押抜時におけるチャタリング防止は不可能である。

〔発明が解決しようとする問題点〕

従来のインターフェイス回路は以上のように構成されているのでメモリカードの押抜時に生ずるチャタリングによるメモリカードへの誤書き込み、あるいはメモリカード内の半導体素子の破壊を防止する事は困難である。

メモリカードのデータ内容が変化する事はメモリカードとして用をなさず全く使い物にならない

ことを意味し、これは大きな問題である。

この発明は上記のような問題点を解決するためになされたもので、押抜のチャタリングによるメモリカードのメモリへの誤書き込み及びメモリカード内の半導体素子の破壊を完全に防止できるインターフェイス回路を得る事を目的とする。

〔問題点を解決するための手段〕

本発明に係るインターフェイス回路は、メモリカードまたはICカードと機器間のインターフェイス回路において、上記カードへの供給電源をオン／オフできる電源回路と、上記カードへの全バス信号をオン／オフできる單方向及び双方向の3ステートバッファと、上記カードの挿入又は抜取を検知する押抜検知信号ラインを上記カードの挿入時にブルダウンし上記カードの抜取時にブルアップする押抜検知信号作成手段と、上記押抜検知信号がブルダウン又はブルアップされた時一定時間経過後に上記電源回路をオン又はオフさせる信号を出力するバッファと、反転遅延回路を経た上記電源回路の出力と上記押抜検知信号のいずれか

一方がハイレベルの時上記單方向及び双方向の3ステートバッファをオフする論理手段とを備えたものである。

〔作用〕

本発明におけるインターフェイス回路はメモリカードまたはICカードと機器間のインターフェイス回路において、上記カードへの供給電源をオン／オフできる電源回路と、上記カードへの全バス信号をオン／オフできる單方向及び双方向の3ステートバッファと、上記カードの挿入又は抜取を検知する押抜検知信号ラインを上記カードの挿入時にブルダウンし上記カードの抜取時にブルアップする押抜検知信号作成手段と、上記押抜検知信号がブルダウン又はブルアップされた時一定時間経過後に上記電源回路をオン又はオフさせる信号を出力するバッファと、反転遅延回路を経た上記電源回路の出力と上記押抜検知信号のいずれか一方がハイレベルの時上記單方向及び双方向の3ステートバッファをオフする論理手段とを備え、メモリカードの挿入時は先ず電源回路をオンとし

のち3ステートバッファをオンとし、抜取時は必ず3ステートバッファをオフしのち電源回路をオフとする構成としたから全インターフェイスをプルダウン(0V)とした状態で押抜でき、メモリカードのメモリへの誤書き込み及びメモリカード内の半導体の破壊を防止できる。

(実施例)

以下この発明の一実施例を図について説明する。第1図は本発明の一実施例によるメモリカードと機器間のインターフェイス回路を示す回路図である。図において第2図と同一符号は同一又は相当部分であり、20はメモリカード1への供給電源をオン/オフできる電源回路、17及び7はそれぞれメモリカード1へのあるいはメモリカード1からのバス信号をオン/オフできる3ステート單方向バッファ及び3ステート双方向バッファである。電源回路20のオン/オフはコネクタのショートピン端子21に対応したメモリカード1のグランドループ22の出力信号である押抜検知信号10によりバッファ14を介して制御する。3ス

テート单方向バッファ17と3ステート双方向バッファ7のオン/オフは押抜検知信号10と電源オン反転信号11のOR回路16出力であるバッファオン/オフ信号13で行う。反転回路15の入力には電源回路20の出力信号であるメモリカード1の供給電源が印加される。電源回路20、3ステート单方向バッファ17、及び3ステート双方向バッファ7がオフ時においてメモリカード1の全端子はプルダウン抵抗19、プルアップダウント抵抗18によりプルダウン状態となる。23は押抜検知ブルアップ抵抗でメモリカード1がコネクタと接続状態にある場合はグランド電位となり、ショートピン端子21の接続状態が外れるとき電源入力側にプルアップされる。24はインターフェイスの全体回路である。

次に動作について説明する。まずメモリカード1を押入する場合の動作を説明する。第4図はメモリカード1が所持、携帯時にあり機器側のコネクタに押入した時点における押抜検知信号10、電源オン反転信号11、電源オン信号12及びバ

ッファオン/オフ信号13の各信号の様子を示すタイミング図である。この場合インターフェイス24とメモリカード1の間の各信号線は電源回路20、单方向バッファ17及び双方向バッファ7が押抜検知ブルアップ抵抗23が電源入力側にプルアップされているのでオフの状態にあり、プルアップダウント抵抗18、プルダウン抵抗19によりプルダウンとなり低インピーダンス状態にある。今メモリカード1が機器側のコネクタ即ちインターフェイス24の端子に接続された場合ショートピン端子21の2端子とも接続状態になって初めて押抜検知信号10はグランド電位(0V)になる。従ってバッファ14の出力側は“L”となるので電源回路20は作動する。電源回路20の電源入力はシリーズトランジスタT₁を介してメモリカード1の供給電源となる。この供給電源は電源オン信号12として反転回路15を介してオア回路16の入力端子に印加される。他方上記押抜検知信号10は同じくオア回路16の他の入力端子に印加されそのOR出力であるバッファオン/

オフ信号13は“L”レベルとなり单方向バッファ17、双方向バッファ7をオンとする。第4図においてT₁はバッファ14の遅延時間、電源回路20の応答時間を含めた遅れ時間を示す。またT₂は反転回路15の遅延時間を示す。

第4図よりメモリカード1における各部の活性化手順は以下の通りとなる。

まず供給電源が印加され、遅れて单方向バッファ17、双方向バッファ7がオンとなる。従ってメモリカード1内蔵の半導体素子としては最良の活性化手順であり、ラッチアップ等は発生しない。またメモリカード1の内蔵メモリの記憶データは完全に保持でき誤書き込みは無い。また押入時におけるショートピンコネクタのチャタリングも第4図で示す様にオア回路16の作用により除去できる。

他のコネクタピンのチャタリングについても单方向バッファ17、双方向バッファ7がオンしない限り低インピーダンス(プルダウン状態)になりグランドレベル(0V)を維持するので問題はない。

無い。ピン21を他のピンより短くするのは挿入時は一番最後に接触させ、抜く時は一番最初に離れる様にするためである。すなわち第4図のタイミングにおいて対数とするピンはショートピン21のみ考慮すれば良い。

ここでショートピン端子21はメモリカード1の最両端2ヶ所に設けるようにする。ショートピン端子をメモリカードの最両端に設けることは一般的手段であるが、これは斜め挿入を考慮するからである。このようなショートピン配置により本発明のインターフェイス回路はカードが斜め挿入された場合もショートピン端子21が一番最後にコネクタに接触するため斜め挿入による機能障害を起こすことなく正常に作動する。

次にメモリカード1を抜き取る場合の動作を説明する。第5図はメモリカード1を抜き取った時点における各信号の様子を示すタイミング図である。インターフェイス24が活性状態にあるからメモリカード1の内蔵する半導体素子の破壊、メモリの誤書き込みを発生しやすい状態にある。今メ

モリカード1を抜くと挿抜検知信号10がグランドレベル(0V)から挿抜検知ブルアップ抵抗23の作用により電源入力側にブルアップとなる。従ってバッファ14の出力は「H」レベルとなり電源回路20はオフとなる。上記作用に先立ち挿抜検知信号10がオア回路16の一方に接続されているので電源オン反転信号11とのオア動作によりバッファオン/オフ信号13は直ちに「H」レベルとなり單方向バッファ17、双方向バッファ7をオフとする。従ってメモリカード1の各端子が活性状態からブルダウン(グランドレベル=0V)になる手順は以下の様になる。まず單方向バッファ17、双方向バッファ7をオフとしてデータバス信号はグランドレベルにアドレスバス信号、コントロールバス信号はTzの間は「H」レベルとなり以降はグランドレベルになる。

Tzの区間上記コントロールバスを「H」にしておくのは誤書き込みを防止するためである。上記手順は半導体素子、メモリの破壊、誤書き込みを防止する最良の手順である。

第1図の本発明のインターフェイス回路と適合するメモリカード1の内部回路の基本構成例を第6図に示す。基本はCE、WE信号を3ステートバッファまたはスイッチ回路を介してメモリのCE、WE端子に加える構成とする事である。第6図では3ステートバッファの場合の例を示す。上記3ステートバッファ33のオン/オフはツエナーダイオード26で決まる閾値電圧によってオン/オフする制御トランジスタ25の出力信号であるゲートオン/オフ信号31で行う。メモリカード1に供給電源が印加されると上記3ステートバッファ33はオンとなり第1図のインターフェイス24とアクセスが可能となり上記供給電源がオフになると上記3ステートバッファ33はオフとなり電池30→シリーズ抵抗29→シリーズダイオード28を介してブルアップ抵抗32によりCE、WEはブルアップされメモリのデータは保持される。

ここで第6図におけるメモリのCE、WE信号のブルアップ状態と第4図の電源オン信号12、

バッファオン/オフ信号13の関係を第7図に示す。第1図の反転回路15の遅延時間と第6図の制御トランジスタ25の遅れ時間は一般的に反転回路15の遅延時間<制御トランジスタの遅れの関係にあるから第6図のメモリのCE、WE信号は第1図の单方向バッファ17がオンとなるまで、すなわちアクセス可能となるまでブルアップの状態にある。

次に第6図におけるメモリのCE、WE信号と第5図の電源オン信号12、バッファオン/オフ信号13の関係を第8図に示す。第5図によりカードを抜いた時点では即バッファオン/オフ信号13が「H」レベルとなり、第1図の单方向バッファ17をオフとするが上記第5図の電源オン信号12はTz区間は「H」であるため第6図のメモリのCE、WE信号は「H」を維持する。Tz区間が終了する直前においてメモリカード内のツエナーダイオード26が作動し、3ステートバッファ33をオフとするためメモリのCE、WE信号は電池30→シリーズ抵抗29→シリーズダイ

コード28を介してプルアップ抵抗32によりプルアップされる。

以上の動作によりメモリカード1とインターフェイス24が活性状態においてメモリカード1を抜いた場合、またメモリカード1を所持、携帯の状態で活性状態にあるインターフェイス24にメモリカード1を挿入するいずれの場合においても第6図のメモリの \overline{CE} , \overline{WE} 信号をプルアップしデータを保護する様にインターフェイス24が作動するためメモリカード1の挿抜においてメモリカード1の半導体素子を破壊する事は無く、また完全にメモリカード1のメモリデータを保持、保護できる。

なお第1図のバッファ11は機器側のCPUの割込み信号とすることでアクセスを禁止する等自由に取扱える。

【発明の効果】

以上のように本発明によれば、メモリカードまたはI.Cカードと機器間のインターフェイス回路において、上記カードへの供給電源をオン/オフ

できる電源回路と、上記カードへの全バス信号をオン/オフできる單方向及び双方向の3ステートバッファと、上記カードの挿入又は抜取を検知する挿抜検知信号ラインを上記カードの挿入時にプルダウンし上記カードの抜取時にプルアップする挿抜検知信号作成手段と、上記挿抜検知信号がプルダウン又はプルアップされた時一定時間経過後に上記電源回路をオン又はオフさせる信号を出力するバッファと、反転遮延回路を経た上記電源回路の出力と上記挿抜検知信号のいずれか一方がハイレベルの時上記單方向及び双方向の3ステートバッファをオフする論理手段とを備え、メモリカードの挿入時は先ず電源回路をオンとしのち3ステートバッファをオンとし、抜取時は先ず3ステートバッファをオフしのち電源回路をオフとする構成としたから、メモリカードの挿抜時におけるメモリカードのメモリへの読み込み及びメモリカード内の半導体素子の破壊を防止でき、信頼性の高いものが得られる効果がある。

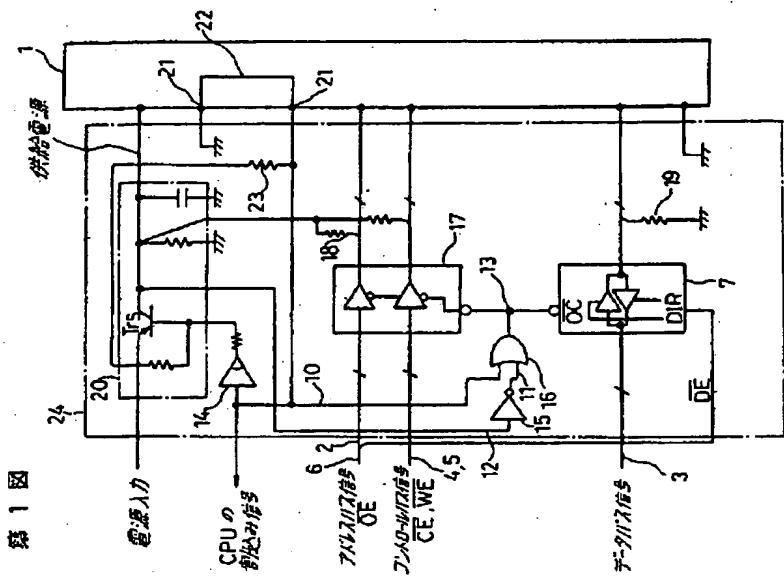
4. 図面の簡単な説明

第1図は本発明の一実施例によるメモリカードと機器間のインターフェイス回路を示す図、第2図は従来のメモリカードと機器間のインターフェイス回路を示す図、第3図は従来のインターフェイス回路でのカード挿抜時の信号状態を示す図、第4図は本発明のインターフェイス回路でのカード挿入時の各信号状態を示すタイミング図、第5図は同カード挿抜時の各信号状態を示すタイミング図、第6図は本発明のインターフェイス回路に用いるメモリカードの一例を示す回路図、第7図は本発明のインターフェイス回路に挿入時のメモリカードの \overline{CE} , \overline{WE} 信号の状態を示すタイミング図、第8図は同抜取時のメモリカードの \overline{CE} , \overline{WE} 信号の状態を示すタイミング図である。

1はメモリカード、2はアドレスバス信号、3はデータバス信号、4はチップイネーブル信号(\overline{CE})、5はライトイネーブル信号(\overline{WE})、6はアウトプットイネーブル信号(\overline{OE})、7は3ステート双方向バッファ、10は挿抜検知信号、11は電源オン反転信号、12は電源オン信号、

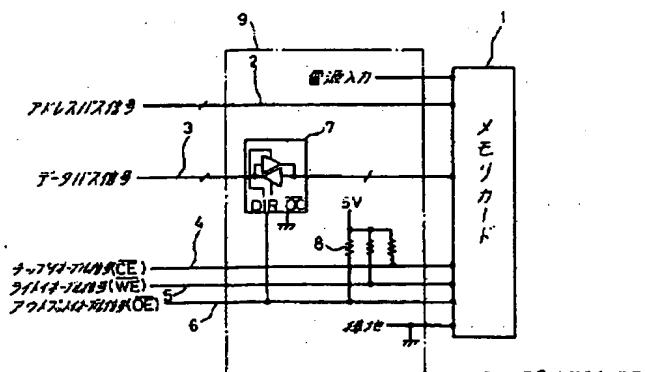
13はバッファオン/オフ信号、14はバッファ、15は反転回路、16はオア回路、17は3ステート单方向バッファ、18はプルアップダウン抵抗、19はプルダウン抵抗、20は電源回路、21はショートピン端子、22はグランドループ、23は挿抜検知プルアップ抵抗、24はインターフェイス回路。

代理人 早瀬憲一



四
一
九

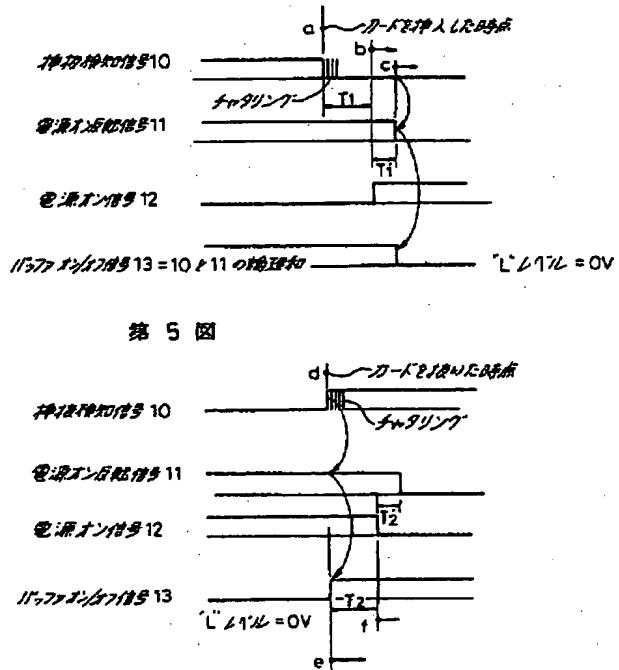
第 2 四



第3圖

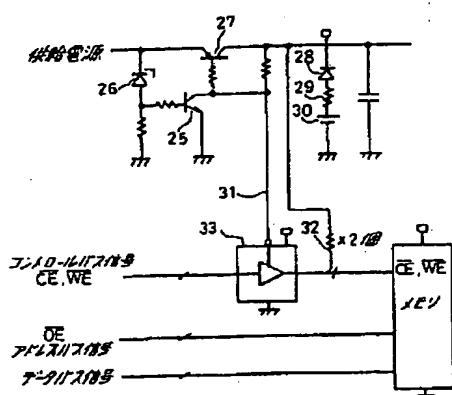


第 5 図



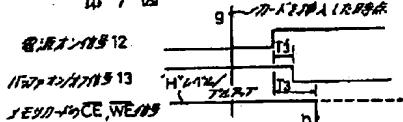
手続補正書(自発)

第6図

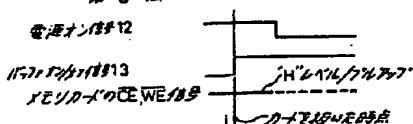


25: 電源オン/オフ
26: ヴィア-ダイオード
27: シリーズランシング
28: シリーズダイオード
29: シリーズダイオード
30: オフ
31: カーケア/ラッシュ
メモリアップ
32: プルアップ/オフ
33: インターフェイス回路

第7図



第8図



5. 補正の対象

明細書の特許請求の範囲の欄、及び発明の詳細な説明の欄

6. 補正の内容

(1) 明細書の特許請求の範囲を別紙の通り訂正する。

(2) 明細書第3頁第15行の「信号は必ずチャタリング」を「信号はICカードのピン長差や端子の接・断により必ずチャタリング」に訂正する。

(3) 同第5頁第15行～16行、第6頁第12行～13行の「抜取時にプルアップする」を「抜取時に短時間プルアップ保持する」に訂正する。

(4) 同第8頁第14行の「電源入力側にプルアップされる」を「電源入力側に短時間プルアップされる」に訂正する。

(5) 同第12頁第3行の「電源入力側にプルアップとなる。」を「電源入力側に短時間プルアップされる。」に訂正する。

以上

昭和63年6月17日

特許庁長官殿

1. 事件の表示

特願昭62-75695号

2. 発明の名称

インターフェイス回路

3. 補正をする者

事件との関係 特許出願人

住所 東京都千代田区丸の内二丁目2番3号
名称 (601) 三菱電機株式会社
代表者 志岐守哉

4. 代理人

郵便番号 532

住所 大阪市淀川区宮原4丁目1番45号

新大阪八千代ビル

(8181)弁理士 早瀬憲一

電話 06-391-4128



特許請求の範囲

(1) メモリカードまたはICカードと機器間のインターフェイス回路において、

上記カードへの供給電源をオン／オフできる電源回路と、

上記カードへの全バス信号をオン／オフできる单方向及び双方向の3ステートバッファと、

上記カードの挿入又は抜取を検知する押抜検知信号ラインを上記カードの挿入時にブルダウンし上記カードの抜取時に短時間ブルアップ保持する押抜検知信号作成手段と、

上記押抜検知信号がブルダウン又はブルアップされた時一定時間経過後に上記電源回路をオン又はオフさせる信号を出力するバッファと、

反転遅延回路を経た上記電源回路の出力と上記押抜検知信号のいずれか一方がハイレベルの時上記单方向及び双方向の3ステートバッファをオフする論理手段とを備えたことを特徴とするインターフェイス回路。

平成 4. 2. 4 発行

手続補正書

特許法第17条の2の規定による補正の掲載

平成4.2.4発行

昭和 62 年特許願第 75695 号(特開昭
63-240615 号, 昭和 63 年 10 月 6 日
発行 公開特許公報 63-2407 号掲載)につ
いては特許法第17条の2の規定による補正があつ
たので下記のとおり掲載する。 6 (3)

平成3年10月14日

特許庁長官 殿

Int. C.I.	識別 記号	府内整理番号
G06F 3/08		C-7232-5B
3/00		8323-5B
G06K 17/00		C-6711-5L

1. 事件の表示

特願昭62-75695号

2. 発明の名称

インターフェイス回路

3. 補正をする者

事件との関係 特許出願人

住 所 東京都千代田区丸の内二丁目2番3号

名 称 (601) 三菱電機株式会社

代表者 志岐守哉

4. 代理人 郵便番号 564

住 所 大阪府吹田市江坂町1丁目23番43号

ファサード江坂ビル7階

氏 名 (8181)弁理士 早瀬憲一

電話 06-380-5822

特許庁



5. 補正の対象

明細書の特許請求の範囲の欄、発明の詳細な説明の欄、及び図面(第1図)

6. 補正の内容

- (1) 明細書の特許請求の範囲を別紙の通り訂正する。
- (2) 明細書第8頁第11行の「抵抗でメモリカード1」を「抵抗であり、メモリカード1」に訂正する。
- (3) 第1図を別紙の通り訂正する。

以上

特許請求の範囲

(1) メモリカードまたはICカードと機器間のインターフェイス回路において、

上記カードへの供給電源をオン／オフできる電源回路と、

上記カードへの全バス信号をオン／オフできるバッファと、

上記カードの挿入又は抜取を検知する挿抜検知信号ラインを上記カードの挿入時にブルダウンし上記カードの抜取時にブルアップする挿抜検知信号作成手段と、

上記挿抜検知信号がブルダウン又はブルアップされた時一定時間経過後に上記電源回路をオン又はオフさせる信号を出力する信号出力手段と、

遅延回路を経た上記電源回路の出力と上記挿抜検知信号のいずれか一方がハイレベルの時上記バッファをオフする制御手段とを備えたことを特徴とするインターフェイス回路。

平成 4. 2. 4 発行

